**Laboratório 2 – Turma a – Projeto RTL**

*Matheus Moreira da Silva Vieira*

Programa de Engenharia Eletrônica

Faculdade Gama - Universidade de Brasília

Endereço, CEP

email: matheus.silvadf@gmail.com

*Walter Lima Baldez*

Programa de Engenharia Eletrônica

Faculdade Gama - Universidade de Brasília

Endereço, CEP

email: baldez.walter@gmail.com

# RESUMO

Este documento relata a implementação de um temporizador de reação. O circuito deve mostrar nos displays de 7 segmentos o tempo (em milissegundos) que o usuário demora pra apertar o botão. Se o usuário demorar mais que 2000 milissegundos um led acende indicando que o tempo de reação foi maior que 2 segundos.

# INTRODUÇÃO

Projeto RTL (Nível de Transferência entre Registradores), consiste na construção de sistemas digitais úteis, a partir de componentes combinacionais e sequenciais. Combinar componentes para construir um bloco operacional e, para controlá-los, usa-se um bloco de controle. O método de um projeto em RTL consiste em criar uma máquina de estados de alto nível, que resolva o problema proposto, criar um bloco operacional que realize as operações que envolvam dados e conectar os blocos, as entradas e saídas externas ao bloco de controle. [1]

# EXPERIMENTO

Para a realização do experimento foi utilizado o programa Vivado para o desenvolvimento e síntese do código na linguagem VHDL e um kit Basys3 da Xilinx para a implementação do projeto.

O projeto pedia que desenvolvesse um circuito temporizador que quando pressionado o botão reset iniciasse uma contagem regressiva de 10 segundos, ao final da contagem um led seria aceso e outra contagem de 2000 milissegundos iniciasse, esperando que o usuário apertasse o botão B, caso o tempo de reação fosse maior que os 2000 milissegundos outro led acenderia, sinalizando que o tempo de reação do usuário seria superior aos 2000 milissegundos. A implementação do projeto foi dividido em 4 partes: Simulação da máquina de estados, simulação do bloco operacional, implementação de um circuito que fizesse com que os displays mostrassem números decimais de até 4 dígitos e a implementação do contador de reação completo.

O primeiro passo foi escrever, em VHDL, o código no programa Vivado. Escreveu-se o código para ambos os blocos (operacional e de controle). Foi feito o testbench da máquina de estados de acordo com o roteiro (Figura 01), porém a simulação não estava de acordo com o esperado. Os alunos decidiram então começar o código do bloco operacional até que chegasse o dia da monitoria. O monitor foi consultado e com a ajuda dele, o erro foi encontrado e corrigido.

Para a avaliação da simulação foram feitos dois códigos testbench. Uma em que o usuário demoraria mais de 2000 milissegundos para apertar o botão “B” (Figura 02 e 03) e outra em que o usuário apertasse antes que o led “lento” acendesse (Figura 04 e 05). O bloco operacional foi terminado e simulado. Para a apresentação da simulação do bloco operacional foi definido como estímulo alguns valores de tempo no qual o usuário poderia demorar em apertar o botão (como na figura 06 e 07). Os nomes dos sinais foram escolhidos de acordo as entradas (load e reset) dos componentes: Todos os sinais começam com o préfixo “s\_”, depois duas letras que simbolizam o nome do componente (rt = rtime, rc = rCount e wc = wCount) e a ultima letra simboliza a entrada do componente (l = load e r = reset). Não se conseguiu o funcionamento o circuito da implementação dos displays comprometendo a implementação do contador de reação completo.

# RESULTADOS

O projeto consistia em 4 passos que concluídos resultariam nos vistos, e ao final do 4º visto o projeto estaria concluído. O primeiro passo era a simulação da máquina de estados, onde foi feito todo o código em VHDL, e o testbench, apresentou-se a simulação correta, resultando na aquisição do 1º visto com a ajuda do monitor. Para o bloco operacional, foi também, composto todo o código em VHDL (de todos os 7 componentes: 3 registradores, 2 contadores e 2 comparadores), e o testbench. A simulação foi feita como se o usuário demorasse 5 ciclos de clock apenas para avaliar o funcionamento do código e, como mostra a figura 07, a simulação se mostrou correta para os valores testados. Foi feito o código dos componentes do circuito dos displays, porém não se obtiveram os resultados esperados. Por este motivo não se conseguiu o terceiro visto e isto impossibilitou a aquisição do quarto visto.

# DISCUSSÃO E CONCLUSÕES

O funcionamento da máquina de estados dependia de diferentes variáveis de entrada em diferentes estados que a máquina estivesse, fazendo com que o projeto em VHDL apresentasse muitas variáveis, dependendo da ação do usuário e outras vezes do bloco de controle. Com o testbech, simulou-se o comportamento para a alteração da máquina de estado, funcionando do jeito esperado, de acordo com cada valor da variável necessária. No estado de contagem dos 2000 milissegundos, houve um caso em que duas variáveis definiam o estado seguinte, sendo que uma das variáveis era independente da outra. No final a simulação mostrou o perfeito funcionamento da máquina de acordo com as especificações do projeto. Com base nos resultados das simulações (figuras 03, 05, 07) analisando principalmente as saídas e a mudança de estados é possível concluir que a escrita dos códigos atende efetivamente os requisitos do projeto.

# REFERÊNCIAS

1. F. Vahid, “Sistemas Digitais – Projeto, otimização e HDLs”, Bookman Press, São Paulo, Brasil, 2007.

**Tabelas e figuras**

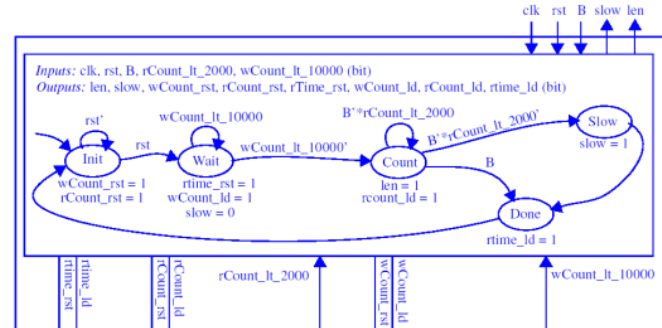


Figura 01 – Máquina de estados do projeto

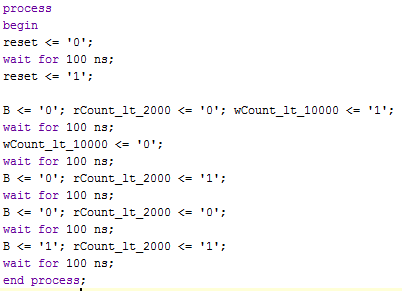


Figura 02 – Estímulos do testbench da primeira simulação

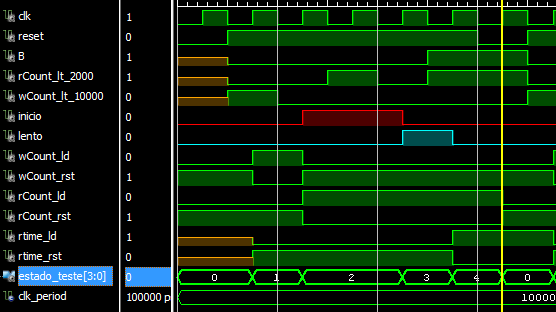


Figura 03 – Simulação dos estímulos da figura 02

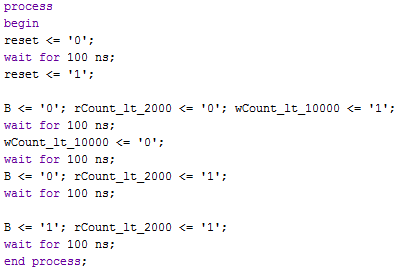


Figura 04 – Estímulos do testbench da segunda simulação

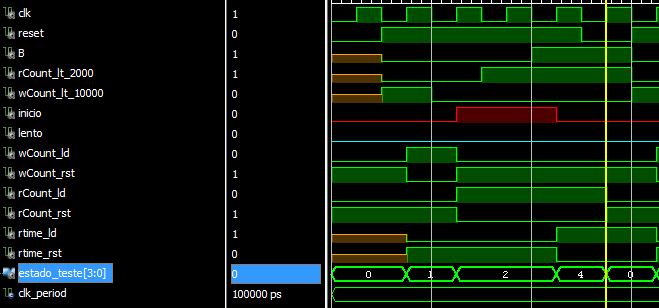


Figura 05 – Simulação dos estímulos da figura 04

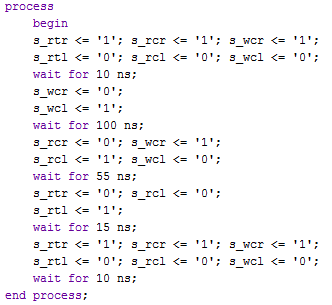


Figura 06 – Estímulos do testbench do bloco operacional (em que o usuário esperaria 5 ciclos de clock)

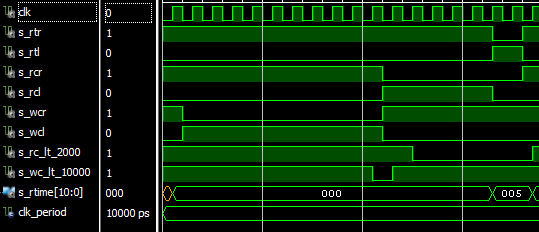


Figura 07 – Simulação do testbench do bloco operacional